

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-111400
 (43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H03F 1/32
 H03F 1/02
 H03F 3/21
 H03F 3/24
 H03F 3/68
 H03G 1/04
 H03G 3/10

(21)Application number : 2000-303536

(71)Applicant : NEC CORP

(22)Date of filing : 03.10.2000

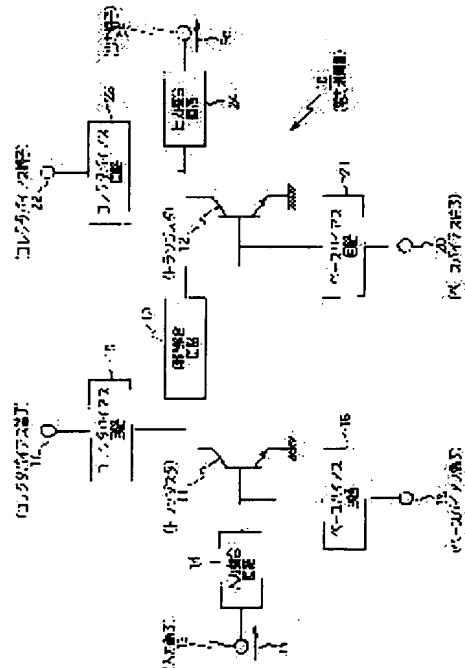
(72)Inventor : SUZUKI YASUYUKI

(54) POWER AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain high power efficiency and low distortion characteristic in a multistage power amplifier, by compensating a distortion produced by gain suppression in the case of high output power.

SOLUTION: The power amplifier 10 in this embodiment obtains an output power P_o by amplifying an input power P_i using two transistors 11, 12 configured with two-stage connection. In a certain range of the input power P_i , a gain variation produced by the transistor in the former stage cancels a gain variation produced by the transistor in the latter stage. More specifically, in a certain range of the input power P_i , in response to the increase of input power P_i , the gain in the transistor 12 decreases as the gain in the transistor 11 increases.



LEGAL STATUS

[Date of request for examination] 12.08.2003
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-111400
(P2002-111400A)

(43)公開日 平成14年4月12日 (2002.4.12)

(51)Int.Cl.⁷
H 0 3 F 1/32
1/02
3/21
3/24
3/68

識別記号

F I
H 0 3 F 1/32
1/02
3/21
3/24
3/68

テマコード(参考)
5 J 0 6 9
5 J 0 9 0
5 J 0 9 1
5 J 0 9 2
Z 5 J 1 0 0

審査請求 未請求 請求項の数 6 O L (全 8 頁) 最終頁に続く

(21)出願番号

特願2000-303536(P2000-303536)

(22)出願日

平成12年10月3日 (2000.10.3)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 鈴木 康之

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100079164

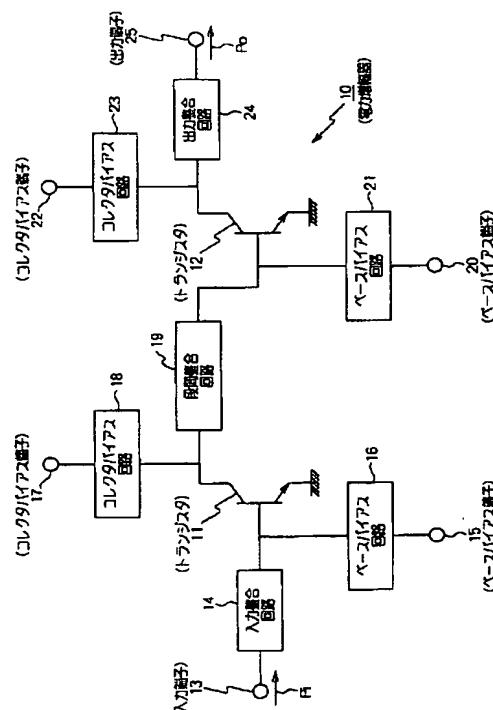
弁理士 高橋 勇

(54)【発明の名称】 電力増幅器

(57)【要約】

【課題】 多段電力増幅器において、高出力電力時の利得圧縮による歪みを補償することにより、高い電力付加効率かつ低歪み特性を実現する。

【解決手段】 本実施形態の電力増幅器10は、二段接続された二個のトランジスタ11, 12によって、入力電力P_iを増幅して出力電力P_oとするものである。そして、入力電力P_iのある範囲において、前段のトランジスタ11の利得の変化が後段のトランジスタ12の利得の変化を相殺する。すなわち、入力電力P_iのある範囲において、入力電力P_iの増加に伴い、トランジスタ11の利得が増加するとともに、トランジスタ12の利得が減少する。



【特許請求の範囲】

【請求項1】 多段接続された複数のトランジスタによって、入力電力を増幅して出力電力とする電力増幅器において、

前記入力電力又は前記出力電力のある範囲において、ある段の前記トランジスタの利得の変化が他の段の前記トランジスタの利得の変化を相殺する、ことを特徴とする電力増幅器。

【請求項2】 前記入力電力又は前記出力電力の増加に伴い、前記ある段のトランジスタの利得が増加し、その後段となる前記他の段のトランジスタの利得が減少する、

請求項1記載の電力増幅器。

【請求項3】 前記入力電力又は前記出力電力の変化に応じて前記トランジスタの利得を変化させる利得制御手段が設けられた、

請求項1又は2記載の電力増幅器。

【請求項4】 前記トランジスタがバイポーラトランジスタである、

請求項1、2又は3記載の電力増幅器。

【請求項5】 前記トランジスタがバイポーラトランジスタであり、

前記利得制御手段が当該バイポーラトランジスタのベースバイアス電流を制御するものである、

請求項3記載の電力増幅器。

【請求項6】 前記入力電力又は前記出力電力の増加に伴い、前記ある段のトランジスタの利得が増加し、その後段となる前記他の段のトランジスタの利得が減少し、前記入力電力又は前記出力電力の変化に応じて前記トランジスタの利得を変化させる利得制御手段が設けられ、前記トランジスタがバイポーラトランジスタであり、前記利得制御手段が当該バイポーラトランジスタのベースバイアス電流を制御するものである、

請求項1記載の電力増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多段接続された複数のトランジスタによって入力電力を増幅して出力する電力増幅器に関し、特にUHFからマイクロ波帯又はミリ波帯までの信号に対して低歪み化かつ高効率化を図った電力増幅器に関する。

【0002】

【従来の技術】 近年、移動体通信における携帯電話の普及に伴い、そのキーデバイスとして電力増幅器の需要が急激に伸びている。デジタル変調方式の移動体通信における携帯電話に用いられる送信用電力増幅器としては、高出力電力化や高効率化とともに低歪み化が要求されている。一般に高出力トランジスタの入出力特性は、入力電力信号が小さい場合には入力信号の増加に対して直線的に出力信号が増加する（線形領域と言われてい

る）が、入力信号が大きくなり、飽和領域に入るにしたがって入力信号の増加量に対して出力信号の増加量が小さくなる、いわゆる利得圧縮が起こる。この飽和領域では、高出力トランジスタの出力電力信号の歪みが増大する。したがって、トランジスタを用いて多段の増幅器を構成し、その増幅器の低歪み化を実現しようとする際、従来はトランジスタの動作出力点をそのトランジスタの飽和出力から数dBバックオフした点に設定し、なるべくトランジスタを線形領域に近い領域で動作させて、増幅器としての低歪み化を実現させていた。

【0003】 また、ゲート接地FETを用いた後段の増幅器の前段に、後段の増幅器と逆位相特性を持つソース接地FETを用いた増幅器を接続することにより、位相歪みを打ち消す構成が、特開平7-245529号公報に開示されている。

【0004】

【発明が解決しようとする課題】 従来の電力増幅器では、トランジスタのバックオフ量を大きくすることにより低歪み化を確保しているために、最大送信電力で線形性が維持できるような高い飽和出力をもつ、サイズの大きなトランジスタを用いる必要がある。しかしながら、バックオフ量を大きく取った点では、電力付加効率が飽和電力を出力する点より小さく、余分な電力（消費電流）を消費することになる。

【0005】 また、上記特開平7-245529に開示された、位相歪みを補償する回路構成では、歪みの特性の主要因が位相歪みの場合に限られるため、利得変動による歪みについては全く効果がない。

【0006】

【発明の目的】 そこで、本発明の目的は、低歪み化及び高効率化を同時に実現する電力増幅器を提供することにある。

【0007】

【課題を解決するための手段】 本発明に係る電力増幅器は、多段接続された複数のトランジスタによって、入力電力を増幅して出力電力とするものである。そして、入力電力又は出力電力のある範囲において、ある段のトランジスタの利得の変化が他の段のトランジスタの利得の変化を相殺することを特徴とする。例えば、入力電力又は出力電力のある範囲において、入力電力又は出力電力の増加に伴い、ある段のトランジスタの利得が増加し、その後段となる他の段のトランジスタの利得が減少する。したがって、入力電力又は出力電力の変化に伴う利得の変化が抑えられるので、増幅時における信号の歪みが小さくなる。このとき、後段となるトランジスタは従来の高効率のもの（入力電力又は出力電力の増加に伴い最終的に利得が減少するもの）でよいので、低歪み化及び高効率化が同時に達成される。

【0008】 また、入力電力又は出力電力の変化に応じてトランジスタの利得を変化させる利得制御手段を設け

てもよい。更に、トランジスタはバイポーラトランジスタとしてもよい。この場合、利得制御手段は、バイポーラトランジスタのベースバイアス電流を制御するものとしてもよい。

【0009】換言すると、本発明に係る電力増幅器は、複数のトランジスタが多段に接続されて構成された電力増幅器において、後段のトランジスタが利得圧縮を起こす入力電力の範囲で、前段のトランジスタの出力電力が利得増大を起こすことを特徴としている。特にバイポーラトランジスタを用いた電力増幅器では、セットバイアス電流を低く設定しB級に近い動作にすると、入力電力とともに利得が上昇する利得増大が生じる。本発明では、この利得増大を利用し、利得変動による歪みを補償する回路を提供するものである。

【0010】

【発明の実施の形態】図1は、本発明に係る電力増幅器の第一実施形態を示す回路図である。以下、この図面に基づき説明する。

【0011】本実施形態の電力増幅器10は、二段接続された二個のトランジスタ11, 12によって、入力電力Piを増幅して出力電力Poとするものである。そして、入力電力Piのある範囲において、前段のトランジスタ11の利得の変化が後段のトランジスタ12の利得の変化を相殺する。すなわち、入力電力Piのある範囲において、入力電力Piの増加に伴い、トランジスタ11の利得が増加するとともに、トランジスタ12の利得が減少する。なお、トランジスタ11, 12は、エミッタ接地されたバイポーラトランジスタからなり、増幅器として動作する。

【0012】また、本実施形態の電力増幅器10は、前段のトランジスタ11及び後段のトランジスタ12の他に、入力端子13、トランジスタ11の入力整合回路14、トランジスタ11のベースバイアス端子15、トランジスタ11のベースバイアス回路16、トランジスタ11のコレクタバイアス端子17、トランジスタ11のコレクタバイアス回路18、トランジスタ11とトランジスタ12との段間整合回路19、トランジスタ12のベースバイアス端子20、トランジスタ12のベースバイアス回路21、トランジスタ12のコレクタバイアス端子22、トランジスタ12のコレクタバイアス回路23、トランジスタ12の出力整合回路24、出力端子25等を備えている。各整合回路及び各バイアス回路は、主に抵抗器、コンデンサ、インダクタ等の受動部品からなる。

【0013】図2は、後段のトランジスタ12における入力出力電力特性、電力付加効率及び利得偏差を示すグラフである。図3は、前段のトランジスタ11における入力出力電力特性及び利得偏差を示すグラフである。図4は、電力増幅器10における入力出力電力特性及び利得偏差を示すグラフである。以下、図1乃至図4に基づ

き、電力増幅器10の動作を説明する。

【0014】図2は、エミッタ接地されたトランジスタ12からなる終段の増幅器についての、周波数950MHzにおける特性を示している。トランジスタ12は、 $2.0 \times 10^3 \text{ A/cm}^2$ の電流密度にベースバイアス端子20によりバイアスされている。そして、高い電力付加効率と低い歪み特性とを両立させるために、従来のようにAB級で動作している。そのため、入力電力が13dBm以上で利得圧縮が生じ、出力電力が28dBmでは1dB以上の利得圧縮がある。

【0015】図3は、エミッタ接地されたトランジスタ11からなる前段の増幅器についての、周波数950MHzにおける特性を示している。なお、終段のトランジスタ12は、大きな出力を得るために前段のトランジスタ11に比べて8倍程度のエミッタ面積を有している。トランジスタ11においては、セットバイアス電流をベースバイアス端子15により $5 \times 10^2 \text{ A/cm}^2$ の低い電流密度に設定しているため、図3に示すように、入力電力が5dBmまでは入力電力の増加とともに利得が向上している。

【0016】図2に示す従来の特性を有するトランジスタ12からなる終段の増幅器と、図3に示す利得増大の特性を有するトランジスタ11からなる前段の増幅器とを、図1に示すように接続すれば、図4に示す入力出力電力特性及び利得偏差が得られる。その理由を以下に説明する。

【0017】図2に点a, bで示すように、トランジスタ12からなる後段の増幅器において、出力電力28dBm以上すなわち入力電力16dBmで、利得圧縮が1dB以上起こっている。一方、図3に点c, dで示すように、トランジスタ11からなる前段の増幅器の入力電力が5dBm（出力電力が16dBm）のとき、1.5dB程度の利得増大がある。これにより、トランジスタ12からなる後段の増幅器の利得圧縮が相殺される。また、図4に点e, fで示すように、電力増幅器10では、出力電力28.2dBmにおいても0.5dB以下の利得圧縮であり、利得変動による歪みを補償できる。

【0018】また、電力増幅器10の電力付加効率は、終段のトランジスタ12のエミッタ面積が前段のトランジスタ11に比べて8倍程度大きいために、トランジスタ12からなる後段の増幅器でほとんど決定される。前述したように利得圧縮が相殺されるため、入出力電力の高い値まで一定の歪み以下に抑えられ、ひいては電力付加効率や出力電力が向上する。

【0019】すなわち、多段に接続されたエミッタ接地電力増幅器において、前段の増幅器では利得増大が生じさせるようにセットバイアス電流を低く設定する。後段の増幅器が利得圧縮を起こす電力で、前段の増幅器の利得増大が生じるように設定することにより、多段電力増幅器の利得圧縮を相殺させる。多段電力増幅器の電力付

加効率は後段の増幅器が支配的であるとともに、本発明により利得圧縮が相殺されるので、より高い入力電力時においても歪みが改善し、これにより電力付加効率や出力電力が向上する。

【0020】図5は、本発明に係る電力増幅器の第二実施形態を示す回路図である。以下、この図面に基づき説明する。

【0021】本実施形態の電力増幅器30は、二段接続された二個のトランジスタ31、32によって、入力電力 P_i を増幅して出力電力 P_o とするものである。そして、入力電力 P_i のある範囲において、前段のトランジスタ31の利得の変化が後段のトランジスタ32の利得の変化を相殺する。すなわち、入力電力 P_i のある範囲において、入力電力 P_i の増加に伴い、トランジスタ31の利得が増加するとともに、トランジスタ32の利得が減少する。なお、トランジスタ31、32は、エミッタ接続されたバイポーラトランジスタからなり、増幅器として動作する。

【0022】また、本実施形態の電力増幅器30は、前段のトランジスタ31及び後段のトランジスタ32の他に、入力端子33、トランジスタ31の入力整合回路34、トランジスタ31のベースバイアス端子35、トランジスタ31のベースバイアス回路36、トランジスタ31のコレクタバイアス端子37、トランジスタ31のコレクタバイアス回路38、トランジスタ31とトランジスタ32との段間整合回路39、トランジスタ32のベースバイアス端子40、トランジスタ32のベースバイアス回路41、トランジスタ32のコレクタバイアス端子42、トランジスタ32のコレクタバイアス回路43、トランジスタ32の出力整合回路44、出力端子45等を備えている。

【0023】本実施形態では、出力電力 P_o の変化に応じてトランジスタ31の利得を変化させる利得制御回路46が設けられている。利得制御回路46以外の構成要素は、第一実施形態とほぼ同じものである。

【0024】図6は、トランジスタ31の入力出力電力特性及び利得偏差を示すグラフである。図7は、トランジスタ31のバイアス電流密度に対する出力電力1.6dBm及び1.5dBmにおける利得増大量を示すグラフである。以下、図5乃至図7に基づき、電力増幅器30の動作について説明する。

【0025】トランジスタ32からなる後段の増幅器は、第一実施形態のトランジスタ12からなる後段の増幅器と同様の特性であり、 $2.0 \times 10^3 \text{ A/cm}^2$ の電流密度にバイアスされている。そして、高い電力付加効率と低い歪み特性とを両立させるために、従来のようにAB級で動作することにより、入力電力が1.3dBm以上から利得圧縮が生じ、出力電力が2.8dBmのときに1dB以上の利得圧縮がある(図2参照)。

【0026】前段のトランジスタ31のベースバイアス

端子35の印加電圧等を変化させることにより、図6に示すように、前段の増幅器のセットバイアス電流を変えることができる。図7から明らかなように、セットバイアス電流を $1.5 \times 10^3 \text{ A/cm}^2$ から $1.0 \times 10^2 \text{ A/cm}^2$ まで変えることにより、利得増大量を広範囲に変化させることができる。

【0027】次に、図2に示す特性を有するトランジスタ32と、利得増大量をベースバイアス端子35で制御でき図6に示す特性を有するトランジスタ31とを、図5に示すように接続した場合の、利得圧縮の相殺について説明する。

【0028】図2の点a、bで示すように、電力増幅器30の出力電力が2.8dBmである場合について考えると、トランジスタ32からなる後段の増幅器では、出力電力2.8dBm(入力電力1.6dBm)において利得圧縮が1dB以上起こっている。一方、図7の点gに示すように、トランジスタ31からなる前段の増幅器において、セットバイアス電流密度を $6.0 \times 10^2 \text{ A/cm}^2$ にすれば、前段の増幅器は出力電力1.6dBmで利得増大1dBmになる。これにより、後段の増幅器の利得圧縮が相殺される。

【0029】続いて、図2に点a'、b'で示すように、電力増幅器30の出力電力が2.7.5dBmである場合について考えると、トランジスタ32からなる後段の増幅器では、出力電力2.7.5dBm(入力電力1.5dBm)において利得圧縮が0.4dB以上起こっている。一方、図7の点g'に示すように、トランジスタ31からなる前段の増幅器において、セットバイアス電流密度を $1.5 \times 10^3 \text{ A/cm}^2$ にすれば、前段の増幅器は出力電力1.5dBmで利得増大0.4dBmになる。これにより、後段の増幅器の利得圧縮が相殺される。

【0030】以上のとおり、電力増幅器30の出力電力 P_o に基づき、終段の増幅器の利得圧縮を相殺するように、前段の増幅器のセットバイアス電流を調整することにより、前段の増幅器の利得増大量を制御することができる。これにより、一定の歪み以下に抑えることができ、ひいては電力付加効率が向上する。例えば、出力電力 P_o に対応して最適なバイアス電流密度が予め設定されており、利得制御回路46は、出力電力 P_o を検出し、その出力電力 P_o に対応するバイアス電流密度になるように、ベースバイアス端子15にベースバイアス電圧を印加する構成になっている。

【0031】ここで、電力増幅器30の出力電力が1.3dBm以下の小さいとき、つまり終段の増幅器に利得圧縮が起こって無く線形領域で動作している場合には、前段の増幅器は利得増大を生じさせる必要が無い。そのため、セットバイアス電流が $2.0 \times 10^3 \text{ A/cm}^2$ 以上になるようにバイアスを制御し、利得偏差が無い線形領域で動作させることにより、低い歪み特性を維持させ

る。一方、電力増幅器30の出力電力が13dBm以上になる場合には、終段の増幅器で利得圧縮が生じるので、前段のトランジスタ31のセットバイアス電流を、ベースバイアス端子35により制御し、 1.5×10^3 A/cm²よりも低くする。これにより、終段の増幅器の利得圧縮を相殺するように前段の増幅器に利得増大を起させ、電力増幅器30の出力電力時の利得圧縮量を低減し、ひいては歪み特性を向上させる。すなわち、本実施形態においては、電力増幅器30の出力電力P_oに応じて、前段のトランジスタ31の利得増大量を、セットバイアス電流を制御することにより変化させることにより、電力増幅器30の歪み特性を制御できる。

【0032】なお、上記第一及び第二実施形態では、二段に接続された電力増幅器について説明したが、本発明は三段以上に接続された電力増幅器についても同様に適用することができる。また、電力増幅器としてエミッタ接地バイポーラトランジスタを用いたが、ベース接地バイポーラトランジスタや電解効果トランジスタを用いた場合でも同様に構成することができる。しかしながら、利得増大を生じさせる前段の増幅器としてバイポーラトランジスタを用いた方が、利得増大量を大きく制御することが可能である。

【0033】

【発明の効果】本発明に係る電力増幅器によれば、ある段のトランジスタの利得の変化が他の段のトランジスタの利得の変化を相殺することにより、入力電力又は出力電力の変化に伴う利得の変化が抑えられるので、増幅時における信号の歪みを小さくできる。また、後段となるトランジスタには従来の高効率のものを使用できるの

で、低歪み化及び高効率化を同時に達成できる。

【0034】換言すると、本発明によれば、高い出力電力においても多段増幅器の線形性が保てるので、最大出力電力時に高い電力付加効率でかつ低歪みの動作が実現できる。

【図面の簡単な説明】

【図1】本発明に係る電力増幅器の第一実施形態を示す回路図である。

【図2】第一実施形態の後段のトランジスタにおける入力出力電力特性、電力付加効率及び利得偏差を示すグラフである。

【図3】第一実施形態の前段のトランジスタにおける入力出力電力特性及び利得偏差を示すグラフである。

【図4】第一実施形態の電力増幅器における入力出力電力特性及び利得偏差を示すグラフである。

【図5】本発明に係る電力増幅器の第二実施形態を示す回路図である。

【図6】第二実施形態の前段のトランジスタにおける入力出力電力特性及び利得偏差を示すグラフである。

【図7】第二実施形態の前段のトランジスタにおける、バイアス電流密度に対する出力電力16dBm及び15dBmのときの利得増大量を示すグラフである。

【符号の説明】

10, 30 電力増幅器

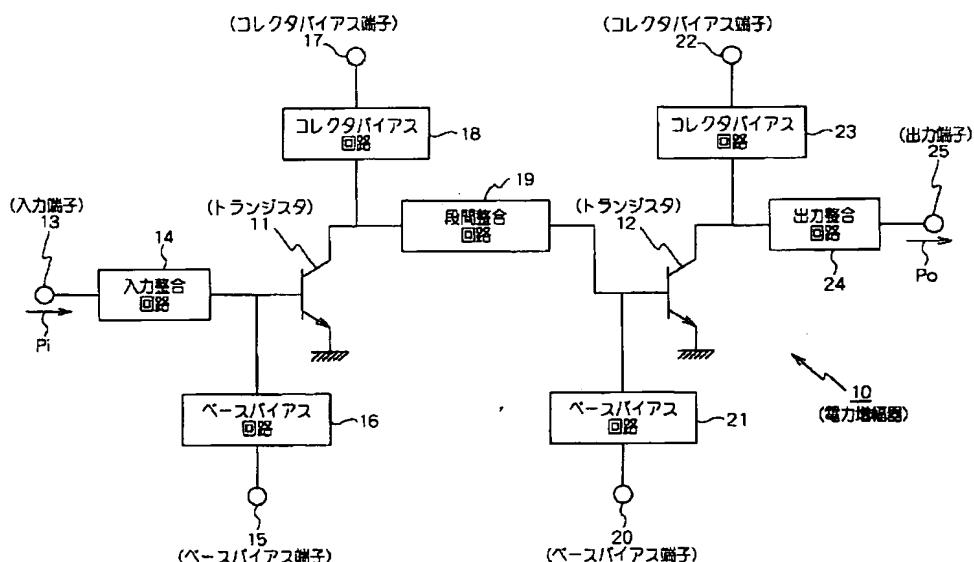
11, 12, 31, 32 トランジスタ

46 利得制御回路（利得制御手段）

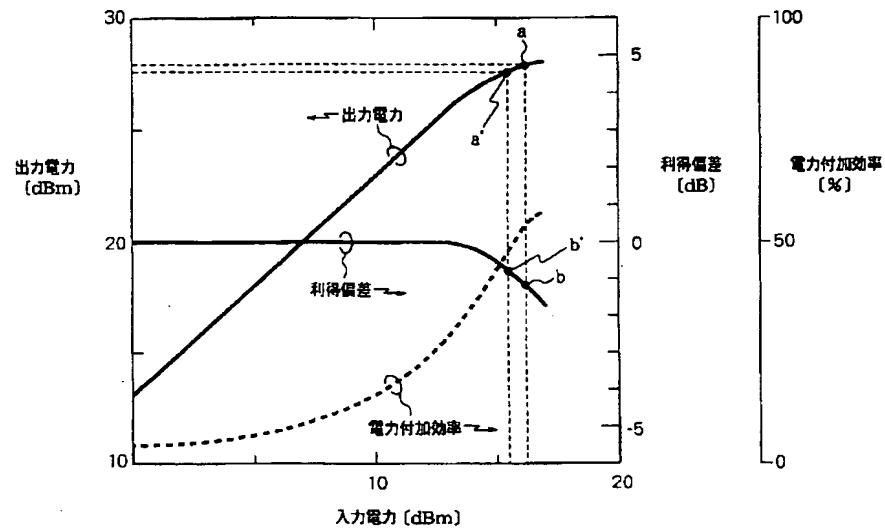
P_i 入力電力

P_o 出力電力

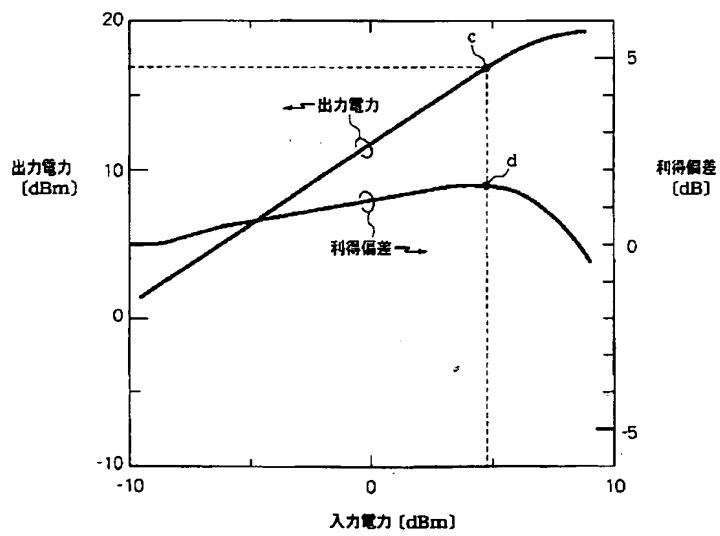
【図1】



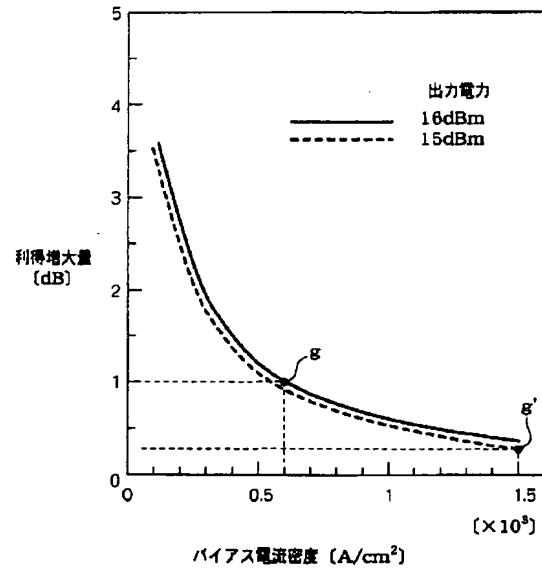
【図2】



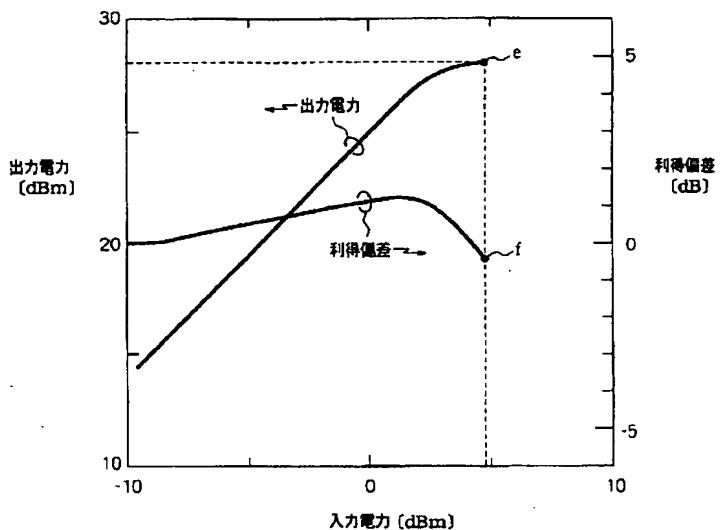
【図3】



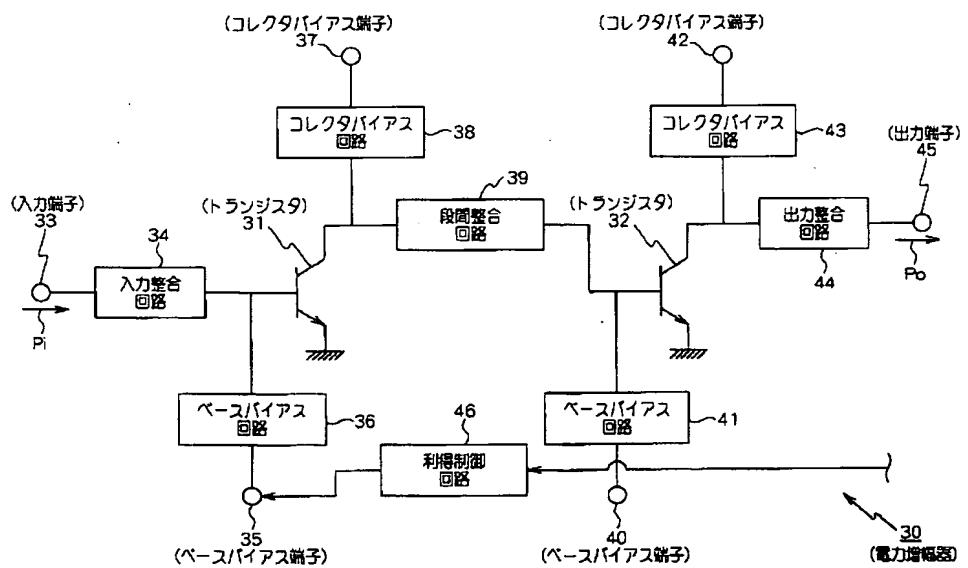
【図7】



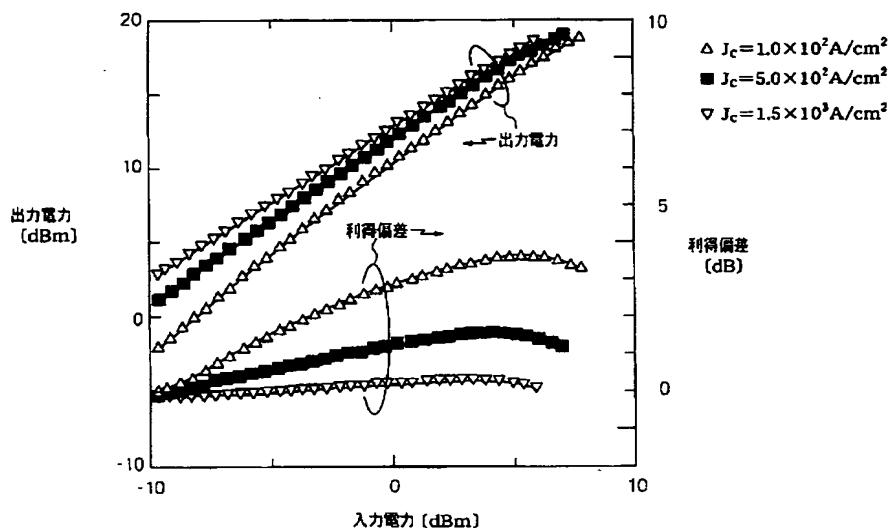
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl. ⁷

H 0 3 G 1/04
3/10

識別記号

F I
H 0 3 G 1/04
3/10

テーマコード (参考)

A

F ターム (参考) 5J069 AA01 AA41 CA21 CA36 FA10
HA02 KA12 KA29 MA08 SA14
TA02
5J090 AA01 AA41 CA21 CA36 FA10
GN02 HA02 KA12 KA29 MA08
SA14 TA02
5J091 AA01 AA41 CA21 CA36 FA10
HA02 KA12 KA29 MA08 SA14
TA02 UW08
5J092 AA01 AA41 CA21 CA36 FA10
GR09 HA02 KA12 KA29 MA08
SA14 TA02
5J100 AA14 AA26 BA01 BB01 BC02
CA00 DA06 EA02 FA01